

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17179

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C 11/407			G 1 1 C 11/34	3 5 4 C
H 0 3 K 5/26			H 0 3 K 5/26	P
H 0 3 L 7/085			H 0 3 L 7/08	A

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平7-164257

(22) 出願日 平成7年(1995)6月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 原口 嘉典

東京都港区芝五丁目7番1号 日本電気株式会社内

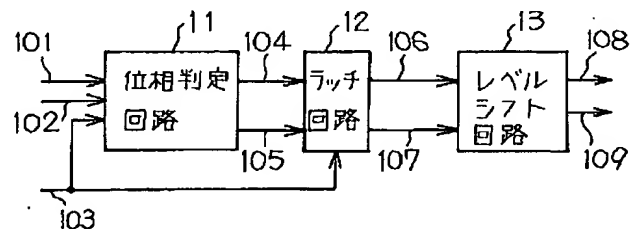
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 位相検出回路

(57) 【要約】

【目的】 DRAMのDLL回路における位相検出回路の制御信号出力の安定化を図るとともに、その消費電流を低減する。

【構成】 本実施例は、位相判定回路11と、ラッチ回路12と、レベルシフト回路13とを備えて構成されており、位相判定回路11とレベルシフト回路13との間に、DLL回路からの出力クロック103の“L”レベル・エッジにおいて、位相判定回路11より出力される信号104および105をラッチして、それぞれ信号106および107として出力するラッチ回路12が新たに付加されている。これにより、位相安定回路11より出力される信号104および105は、ラッチ回路12にラッチされて保持され、当該位相安定回路11の非動作時においても、レベルシフト回路13を介して、レベルの安定した制御信号108および109を出力することができる。



1

【特許請求の範囲】

【請求項 1】 Rambus DRAMに搭載される遅延位相同期回路 (Delay Locked Loop) に含まれる 1 構成要素として、所定の入力クロックと当該遅延位相同期回路より出力される出力クロックとの位相差を検出する位相検出回路において、前記入力クロックおよび前記出力クロックと所定の基準電圧とを入力し、前記基準電圧レベルを参照して、当該入力クロックと出力クロックとの間の進相・遅相関係を判定し、所定の位相判定信号を出力する位相判定回路と、前記位相判定信号を入力して当該位相判定信号の入力レベルを保持し、前記位相判定回路の非動作時においても、安定したレベルの位相判定信号を出力するレベル保持手段と、前記レベル保持手段より出力される所定レベルの位相判定信号を入力し、当該位相判定信号のレベルを所定レベルに設定して、前記遅延位相同期回路における位相調整用の制御信号として出力するレベルシフト回路と、を備えることを特徴とする位相検出回路。

【請求項 2】 前記レベル保持手段が、それぞれのクロック入力端子に前記出力クロックを共通に入力し、前記位相判定回路より出力される第 1 および第 2 の位相判定信号をそれぞれ個別にデータ入力端子に入力して保持し、それぞれ安定したレベルの第 1 および第 2 の位相判定信号を出力する第 1 および第 2 のフリップフロップ回路により構成されることを特徴とする請求項 1 記載の位相検出回路。

【請求項 3】 前記レベル保持手段が第 1 および第 2 の 2 入力 NAND ゲートにより構成され、前記位相判定回路より出力される第 1 および第 2 の位相判定信号をそれぞれ個別に入力端に入力し、それぞれの出力信号を対応する他の NAND ゲートの他方の入力端に帰還入力するようして、当該第 1 および第 2 の 2 入力 NAND ゲートより安定したレベルの第 1 および第 2 の位相判定信号を出力することを特徴とする請求項 1 記載の位相検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は位相検出回路に関し、特に Rambus DRAM の遅延同期回路において用いられる位相検出回路に関する。

【0002】

【従来の技術】 始めに、図 4 を参照して Rambus DRAM における遅延同期回路 (Delay Locked Loop: 以下、DLL 回路と略称する) の基本構成と動作について説明する。図 4 に示されるように、DLL 回路は、周波数 f の入力クロック 101 に対して、周波数 $2f$ で相互に 90 度ずつ位相の異なる 4 相クロックを発生する 4 相基本クロック発生回路 41 と、入力ク

2

ロック 101 と出力クロック 103 の位相関係を検出する位相検出回路 42 と、位相検出回路 42 より出力される制御信号 108 および 109 の入力を受けて、これらの制御信号の入力レベルに対応して位相調整量が一定量ずつ増減される信号 114 および 115 を出力する位相調整量決定回路 44 と、4 相基本クロック発生回路 41 より出力される信号 110 ~ 113 の入力を受けて、これらの信号をミキシングし、位相調整量決定回路 44 より出力される信号 114 および 115 に応じて、位相シフトを実行する位相シフト回路 43 と、位相シフト回路 43 より出力される周波数 $2f$ の信号 116 および 117 を入力して、これらの信号の周波数を元の周波数 f に戻し、周波数 f の出力クロック 103 として出力する出力回路 45 とを備えて構成される。なお、位相検出回路 42 は、位相判定回路 11 と、位相判定回路 11 の出力信号のレベルを調整するレベルシフト回路 13 により構成されている。

【0003】 特に、位相検出回路 42 においては、当該位相検出回路 42 より出力される制御信号 108 および 109 のレベルを調整することにより、位相調整量決定回路 42 より出力される信号 114 および 115 のレベルが、サイクルごとに一定量ずつ増加または減少されるが、これらの信号 114 および 115 のレベルを一定量に保持するためには、1 サイクル以内の間において、制御信号 108 および 109 のレベルを一定レベルに維持することが極めて重要である。

【0004】 上記の DLL 回路の一般説明に次いで、Rambus DRAM における位相検出回路の従来例について説明する。図 5 は、従来の位相検出回路の構成を示す回路図であり、また図 (a)、(b)、(c) および (d) は、本従来例における動作タイミング図である。図 5 に示されるように、本従来例は、PMOS トランジスタ 51、55 および 56 と、NMOS トランジスタ 52、53、54、57、60 ~ 67 と、インバータ 58 および 59 とを含む位相判定回路 11 と、PMOS トランジスタ 68 ~ 71 と、NMOS トランジスタ 72 ~ 75 とを含むレベルシフト回路 13 とを備えて構成される。

【0005】 始めに、位相判定回路 11 の動作について説明する。図 5 において、DLL 回路より出力される出力クロック 103 (図 6 (a) 参照) が “H” レベルの状態にある期間中 (この期間を非動作期間と呼称する) においては、NMOS トランジスタ 57、60 および 61 が ON の状態となり、信号 118 および 119 が同一レベルで、且つ GND に引かれているために、位相判定回路 11 より出力される信号 104 (図 6 (c) 参照) および 105 (図 6 (b) 参照) は、共に “H” レベルに固定される。次に、出力クロック 103 が “H” レベルから “L” レベルの状態に移移すると、NMOS トランジスタ 57、60 および 61 が OFF の状態となり、

3

入力クロック 101 (図 6 (a) 参照) とリファレンス電圧 102 (図 6 (a) 参照) の入力に応じて、NMOS トランジスタ 53、54、64~67 が動作状態となり、信号 118 の電圧レベルと信号 119 の電圧レベルとの間に差電位が生じる。本従来例においては、入力クロック 101 の電圧レベルが、リファレンス電圧 102 の電圧レベルよりも高い場合には、信号 118 の電圧レベルの方が、信号 119 の電圧レベルよりも低いレベルとなる。

【0006】ここにおいて、PMOS トランジスタ 55 および 56 と NMOS トランジスタ 62 および 63 はフリップフロップ回路を形成しており、出力クロック 103 が “L” レベルの時には、PMOS トランジスタ 51 が ON の状態となって、当該フリップフロップ回路に電源電圧 V_{DD} が供給されるために、信号 118 の電圧レベルと信号 119 の電圧レベルの差電位が増幅されて、とちらか一方のレベルが “L” レベルとなる。即ち、出力クロック 103 の “L” レベル・エッジの時点において、入力クロック 101 がリファレンス電圧 102 よりも高いレベルの状態にある場合、即ち、出力クロック 103 が、入力クロック 101 に対して位相が進んでいる場合には、位相判定回路 11 より出力される信号 105 のレベルは “L” レベルに遷移し、逆に出力クロック 103 の “L” レベル・エッジの時点において、入力クロック 101 がリファレンス電圧 102 よりも低いレベルの状態にあつて、出力クロック 103 が、入力クロック 101 に対して位相が遅れている場合には、位相判定回路 11 より出力される信号 104 のレベルが “L” レベルに遷移する (図 6 (a)、(b) および (c) を参照)。

【0007】次に、位相判定回路 11 より出力される信号 104 および 105 を入力して、制御信号 108 (図 6 (d) 参照) および 109 (図 6 (d) 参照) を出力するレベルシフト回路 13 の動作について説明する。図 5 において、出力クロック 103 が “L” レベルの状態にある期間、即ち位相判定回路 11 が動作状態にある期間においては、位相判定回路 11 より出力される信号 104 および 105 の内の一方が “L” レベル、他方が “H” レベルの状態になるが、例えば信号 104 が “L” レベルになったものとする、レベルシフト回路 13 の PMOS トランジスタ 71 が ON の状態となり、NMOS トランジスタ 75 が OFF の状態となるため、レベルシフト回路 13 より出力される制御信号 109 の電圧レベルは、電源電圧 V_{DD} のレベルまで上昇する。この時には PMOS トランジスタ 69 が OFF の状態となり、更に信号 105 が “H” レベルとなって NMOS トランジスタ 73 が ON の状態となるために、レベルシフト回路 13 より出力される制御信号 108 の電圧レベルは、NMOS トランジスタ 72 のしきい値電圧 V_T のレベルまで低下する。逆に、信号 105 が “H” レベル

4

になった場合には、レベルシフト回路 13 より出力される制御信号 109 の電圧レベルは、NMOS トランジスタ 74 のしきい値電圧 V_T のレベルまで低下し、また、制御信号 108 の電圧レベルは、電源電圧 V_{DD} のレベルまで上昇する (図 6 (a)、(b)、(c) および (d) を参照)。

【0008】次に、出力クロック 103 が “H” レベルの状態にある期間、即ち位相判定回路 11 が非動作状態にある期間においては、位相判定回路 11 より出力される信号 104 および 105 が共に “H” レベルの状態になるが、例えば、信号 104 が “L” レベルから “H” レベルに遷移し、信号 105 が “H” レベルに固定されたままの状態にあるものとする、レベルシフト回路 13 の PMOS トランジスタ 71 が OFF の状態となり、NMOS トランジスタ 75 が ON の状態となるために、レベルシフト回路 13 より出力される制御信号 109 の電圧レベルは、NMOS トランジスタ 74 のしきい値電圧 V_T のレベルまで低下しようとするが、始めは制御信号 108 の電圧レベルが当該しきい値電圧 V_T のレベル状態にあつて、PMOS トランジスタ 70 が ON しているために、この PMOS トランジスタ 70 を介して電源電圧 V_{DD} が供給される状態となるとともに、NMOS トランジスタ 74 を介して GND に引抜かれる状態となり、結局のところ、PMOS トランジスタ 70 と NMOS トランジスタ 74 の能力比に応じた中間レベルにおいて、制御信号 115 の電圧レベルは均衡して出力される。この場合、レベルシフト回路 13 においては、制御信号 108 の側と制御信号 109 の側とが、相互に対称関係に配置されているために、制御信号 108 および 109 は共に同一レベルにて均衡出力される (図 6 (a)、(b)、(c) および (d) を参照)。

【0009】以上、説明したように、位相判定回路 11 とレベルシフト回路 13 により構成される位相検出回路 42 においては、出力クロック 103 が “H” レベルの期間中においては、制御信号 108 および 109 は或中間電圧レベルにて出力され、また、出力クロック 103 が “L” レベルの期間中においては、制御信号 108 および 109 は、何れか一方が電源電圧 V_{DD} のレベルにて出力され、他方がしきい値電圧 V_T のレベルにて出力される。

【0010】

【発明が解決しようとする課題】上述した DLL 回路において用いられている位相検出回路においては、前述したように、DLL 回路自体の特性上、位相調整量を 1 サイクル以内において一定に維持させることが重要である。しかしながら、上記の従来例の位相検出回路においては、位相判定回路が非動作状態にある期間中、即ち DLL 回路の出力クロックが “H” レベルの期間中においては、当該位相検出回路から出力される一対の制御信号が、共に或る中間レベルにて出力されるために、これら

の制御信号入力を受けて機能する位相調整量決定回路による位相調整量を、1 サイクル以内において安定した状態で維持することができなくなるという欠点がある。

【0011】また更に、位相判定回路が非動作状態にある期間中においては、制御信号が共に或る中間レベルにて出力される動作状態となるために、この間、位相検出回路内のレベルシフト回路のMOSトランジスタに無為の消費電流が流れるという欠点がある。

【0012】

【課題を解決するための手段】本発明の位相検出回路は、Rambus DRAMに搭載される遅延位相同期回路(Delay Locked Loop)に含まれる1構成要素として、所定の入力クロックと当該遅延位相同期回路より出力される出力クロックとの位相差を検出する位相検出回路において、前記入力クロックおよび前記出力クロックと所定の基準電圧とを入力し、前記基準電圧レベルを参照して、当該入力クロックと出力クロックとの間の進相・遅相関係を判定し、所定の位相判定信号を出力する位相判定回路と、前記位相判定信号を入力して当該位相判定信号の入力レベルを保持し、前記位相判定回路の非動作時においても、安定したレベルの位相判定信号を出力するレベル保持手段と、前記レベル保持手段より出力される所定レベルの位相判定信号を入力し、当該位相判定信号のレベルを所定レベルに設定して、前記遅延位相同期回路における位相調整用の制御信号として出力するレベルシフト回路とを備えることを特徴としている。

【0013】なお、前記レベル保持手段は、それぞれのクロック入力端子に前記出力クロックを共通に入力し、前記位相判定回路より出力される第1および第2の位相判定信号をそれぞれ個別にデータ入力端子に入力して保持し、それぞれ安定したレベルの第1および第2の位相判定信号を出力する第1および第2のフリップフロップ回路により構成してもよく、或はまた第1および第2の2入力NANDゲートにより構成し、前記位相判定回路より出力される第1および第2の位相判定信号をそれぞれ個別に入力端に入力して、それぞれの出力信号を対応する他のNANDゲートの他方の入力端に帰還入力するようして、当該第1および第2の2入力NANDゲートより安定したレベルの第1および第2の位相判定信号を出力するようにしてもよい。

【0014】

【実施例】次に、本発明について図面を参照して説明する。

【0015】図1は本発明の一実施例の構成を示すブロック図である。図1に示されるように、本実施例は、位相判定回路11と、ラッチ回路12と、レベルシフト回路13とを備えて構成されており、前述の従来例に対比して明らかなように、位相判定回路11とレベルシフト回路13との間に、DLL回路からの出力クロック10

3の“L”レベルのエッジにおいて、位相判定回路11より出力される信号104および105をラッチして、それぞれ信号106および107として出力するラッチ回路12が新たに付加されている。また、図2(a)は、当該ラッチ回路12の第1の実施例を示すブロック図であり、出力クロック103の“L”レベルのエッジにおいて、それぞれ信号104および105をラッチし、信号106および107を出力するフリップフロップ回路14とフリップフロップ回路15とを備えて構成される。なお、図3(a)、(b)、(c)、(d)および(e)は、本実施例における動作タイミング図である。以下、図1、図2および図3を参照して、ラッチ回路12の第1の実施例を含む本実施例の動作について説明する。なお、図1の位相判定回路11およびレベルシフト回路13については、前述の従来例の場合と動作が同様であるので、その説明は省略する。

【0016】図1および図2(a)において、DLL回路の出力クロック103の入力に対応して、当該出力クロック103(図1(a)参照)が“H”レベルの状態にある期間においては、位相判定回路11からは、従来例の場合と同様に、信号104(図1(c)参照)および105(図1(b)参照)が、共に“H”レベルにて出力される。また、出力クロック103が“H”レベルから“L”レベルの状態に移移する“L”レベル・エッジにおいては、信号104および105の内の一方が“L”レベル、他方が“H”レベルにて出力される。これらの信号104および105は、出力クロック103を介して、それぞれフリップフロップ14および15にラッチされて保持される。前述の従来例においては、出力クロック103が“H”レベルの状態にある期間においては、レベルシフト回路13より出力される制御信号108および109が或中間電圧レベルにて出力され、また、出力クロック103が“L”レベルの期間中においては、制御信号108および109は、何れか一方の制御信号が電源電圧 V_{DD} のレベルにて出力され、他方の制御信号がMOSトランジスタのしきい値電圧 V_T のレベルにて出力される。

【0017】しかし、本発明においては、位相判定回路11より出力される信号104(図3(b)参照)および105(図3(b)参照)は、ラッチ回路12において、それぞれフリップフロップ回路14および15においてラッチされてレベルが安定保持されており、出力クロック103が“H”レベルの状態にある期間、即ち位相判定回路11が非動作状態にある期間においても、出力クロック103が入力クロック101に対して位相が進んでいる場合には、ラッチ回路12から出力される信号106は“H”レベルにて安定出力され、信号107は“L”レベルにて安定出力される。また、出力クロック103が入力クロック101に対して位相が進んでいる場合には、逆に、ラッチ回路12から出力される信

号106は“L”レベルにて安定出力され、信号107は“H”レベルにて安定出力される(図3(d)参照)。

【0018】このラッチ回路12より出力される信号106および107の“H”レベルまたは“L”レベルの安定出力の入力を受けて、レベルシフト回路13からは、制御信号108および109が、従来例におけるように、中間レベルとして出力されることがなく、図3(e)に示されるように、電源電圧 V_{DD} の電圧レベルおよびMOSトランジスタのしきい値電圧 V_T の電圧レベルにより規制される2値信号として確実に出力される。しかも、これらの制御信号は、1サイクルの期間中において一定レベル(V_{DD}/V_T)に維持される。

【0019】また、更に位相判定回路の非動作中、即ち出力クロック103が“H”レベルの期間内において、上述のように、制御信号が中間レベルにて出力されることが排除されるために、位相検出回路における無為の消費電流が削減されるという利点がある。図7(a)および(b)は、それぞれ従来例の動作タイミング図と、本発明の1実施例の動作タイミング図の比較例を示す図であり、各動作タイミング図において、下方に示されるのが電流波形を示している。この場合においては、電源電圧3.3V、入/出力サイクル4nsの動作時において、位相検出回路における平均電流が、2.5mA(従来例)から1.5mA(本発明)に低減されている。

【0020】次に、ラッチ回路の第2の実施例を含む、本発明の1実施例の動作について説明する。図2(b)は、ラッチ回路の第2の実施例を示すブロック図であり、当該ラッチ回路16は、NANDゲート17および18により構成される。このラッチ回路16を用いる場合には、当該ラッチ回路16に対する制御用として、外部クロック103を入力することが不要となり、位相判定回路11より出力される信号104および105が、共に“H”レベルにてラッチ回路16に入力される場合には、NANDゲート17および18より出力される信号106および107は、それぞれ反転関係のレベル保持状態にあり、入力される信号104または信号105の何れか一方の信号が“L”レベルに遷移した場合に、始めて信号106および107のレベルが、それぞれ反転して出力される。従って、出力クロック103が“H”レベルであっても、信号106および107のレベルは、当該出力クロック103には関係なく、所定レベルに保持されている。なお、本実施例においては、前述の第1の実施例に比較して構成トランジスタの数量を削減することが可能であり、また、出力クロック10

3によるラッチ回路16に対する制御も不要となるために、回路規模ならびに配線領域を縮小することができるという利点がある。

【0021】

【発明の効果】以上説明したように、本発明は、DLL回路の位相検出回路に適用されて、位相判定回路とレベルシフト回路との間に、前記位相判定回路より出力される信号をラッチして保持するラッチ回路を設けることにより、前記位相判定回路の非動作時においても、前記ラッチ回路に保持されている安定レベルの位相判定回路の出力信号を介して、1サイクルの期間内においても、2値の制御信号を安定したレベルで生成することができるという効果がある。

【0022】また、前記制御信号が安定したレベルにて生成されて、中間レベルの制御信号の生成が排除されることにより、無為の消費電流を削減することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の1実施例の構成を示すブロック図である。

【図2】前記1実施例におけるラッチ回路の第1の実施例を示す回路図である。

【図3】前記1実施例の動作タイミング図である。

【図4】DLL回路の構成を示すブロック図である。

【図5】従来例の構成を示す回路図である。

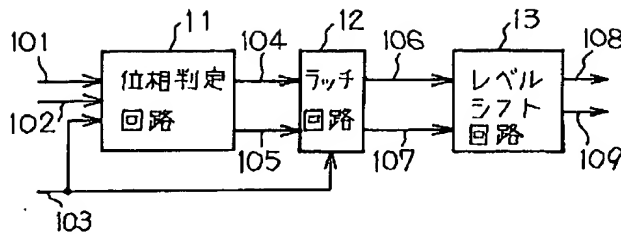
【図6】従来例の動作タイミング図である。

【図7】従来例と本発明の動作タイミング図の比較照合を示す図である。

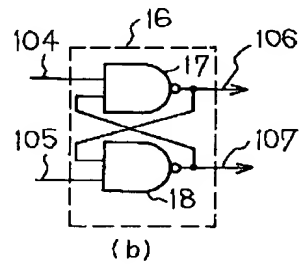
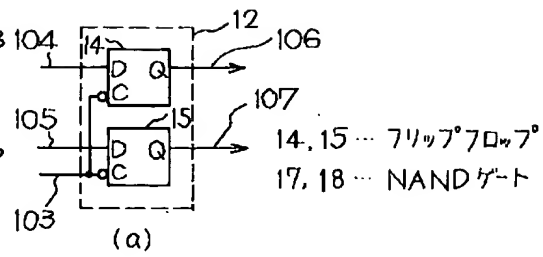
【符号の説明】

- 11 位相判定回路
- 12、16 ラッチ回路
- 13 レベルシフト回路
- 14、15 フリップフロップ回路
- 17、18 NANDゲート
- 41 4相基本クロック発生回路
- 42 位相検出回路2
- 43 位相シフト回路
- 44 位相調整量決定回路
- 45 出力回路
- 51、55、56、68～71 PMOSトランジスタ
- 52～54、57、60～67、72～75 NMO
Sトランジスタ
- 58、59 インバータ

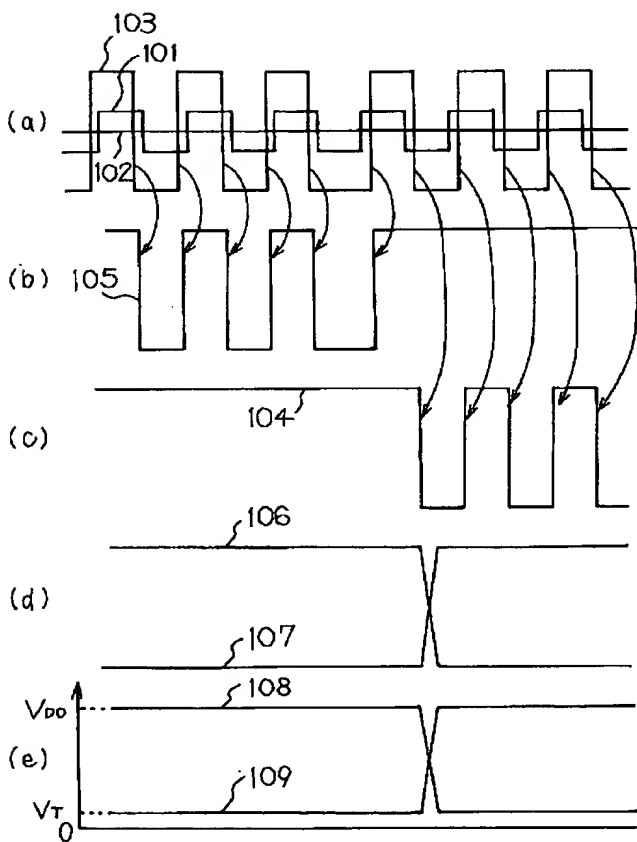
【図1】



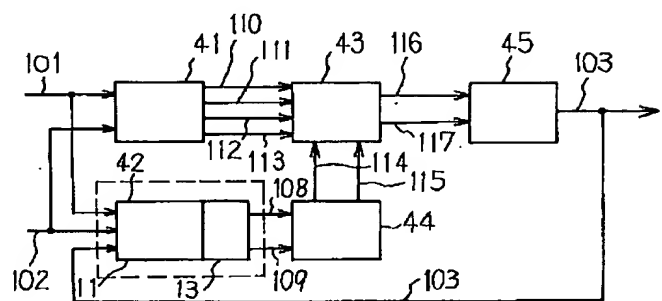
【図2】



【図3】

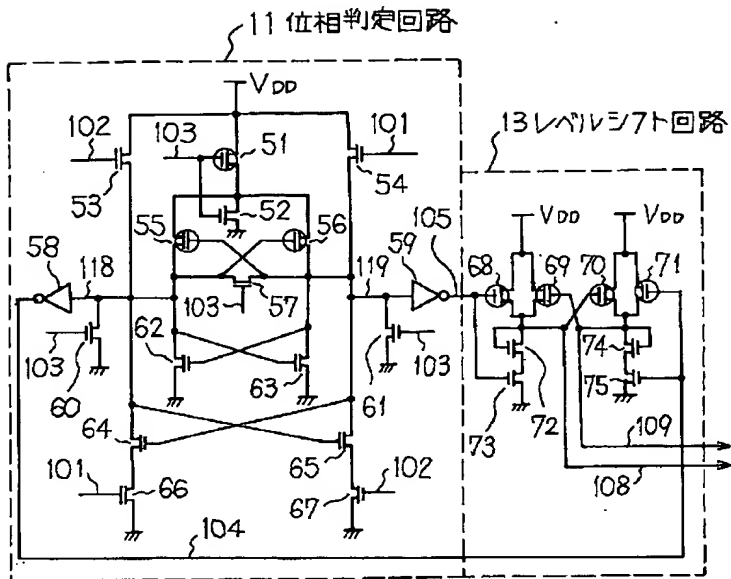


【図4】

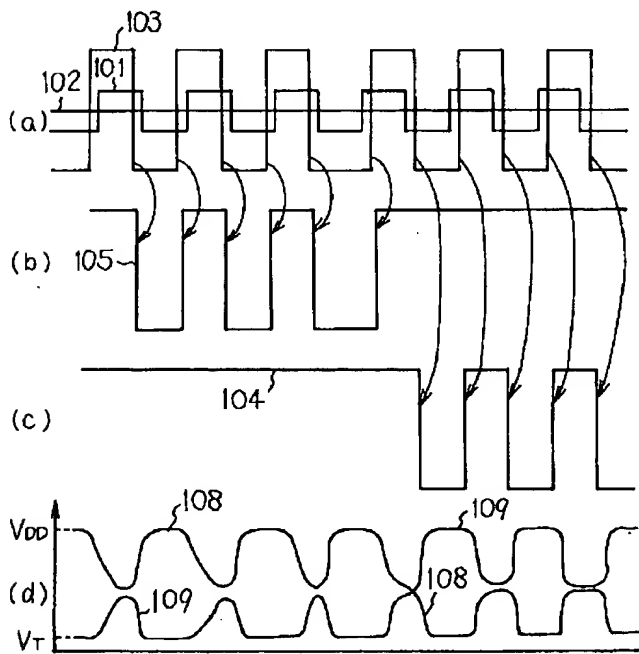


- 11 ... 位相判定回路
- 13 ... レベルシフト回路
- 41 ... 4相基本クロック発振回路
- 42 ... 位相検出回路
- 43 ... 位相シフト回路
- 44 ... 位相調整量決定回路
- 45 ... 出力回路

【図5】



【図6】



【図7】

